

ÁREA: CONTROL

CÁTEDRA: Sistemas de Control (4C8) – Plan 2003

PARCIAL Nº 2: 3 / 11 / 2016 (Cursada)

Nombre:	Matricula:
---------	------------

Problema 1	Problema 2	Problema 3
3 puntos	4 puntos	3 puntos

Este parcial es una instancia de evaluación de la cátedra de Sistemas de Control, y como tal es un documento. Por ende resulta necesario establecer que:

- Todos los pasos de resolución, y las respuestas a las preguntas, deben estar debidamente justificados en forma escrita, de la forma que sea pertinente (matemática, gráfica, etc.)
- La resolución escrita de este parcial es lo único que se tendrá en cuenta al momento de calificarlo. Las aclaraciones realizadas en forma posterior al momento de la evaluación no podrán modificar la calificación.
- Las gráficas y los cálculos matemáticos deberán estar acompañados de sus respectivas unidades y denominaciones. La representación de múltiples curvas sobre un mismo par de ejes deberá incluir la correspondiente identificación de todas ellas.

Problema 1

El diagrama simplificado que se muestra a continuación constituye un PLL construido empleando un 74HC9046. A diferencia del CD4046, el cual opera accionando llaves internas, el 74HC9046 comanda generadores de corriente programables, lo que mejora la linealidad del sistema para un rango más amplio de tensiones de entrada al VCO.

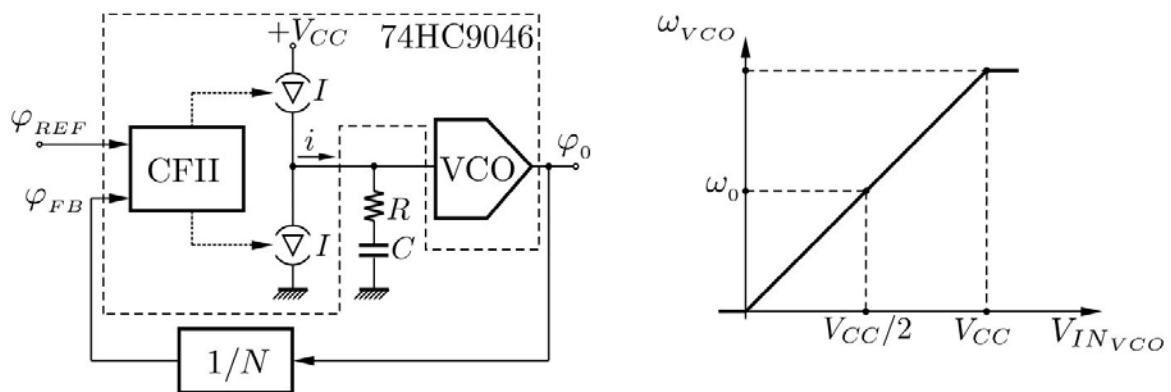


Fig. 1: Diagrama simplificado de un PLL basado en un 74HC9046

- a) Caracterizar el sistema construyendo un diagrama en bloques y definiendo los parámetros de cada uno de ellos. Elaborar una expresión para $GH(s)$ en función de I , ω_0 , V_{CC} , N (el divisor, que en la figura divide por 4096), de R y C . Construir un diagrama de Bode, mostrando $|GH(\omega)|$.
- b) Si el sistema debe sincronizarse con la red, en la cual $\omega_{ref} = 2\pi 50$ [r/s] = $\partial\phi_{ref}/\partial t$, siendo $N=4096$, $I=10\text{mA}$ y $V_{CC}=15\text{V}$, encontrar R y C para garantizar estabilidad con máximo ancho de banda y margen de fase adecuado.

Nota1: ω_0 del VCO se ajusta para máxima excursión.

Nota2: El comparador de fase CFII es sensible sólo al flanco ascendente de ambas entradas al igual que en el CD4046. En la figura 2 se muestra un diagrama temporal que describe su funcionamiento.

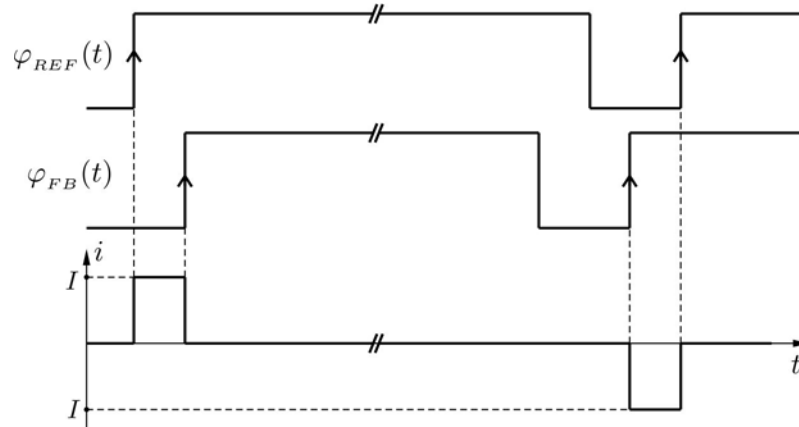


Fig. 2: Diagrama temporal-funcionamiento del CFII

Problema 2

En la figura 3 se muestra un diagrama en bloques de un sistema de control de temperatura que emplea un controlador del tipo ON-OFF.

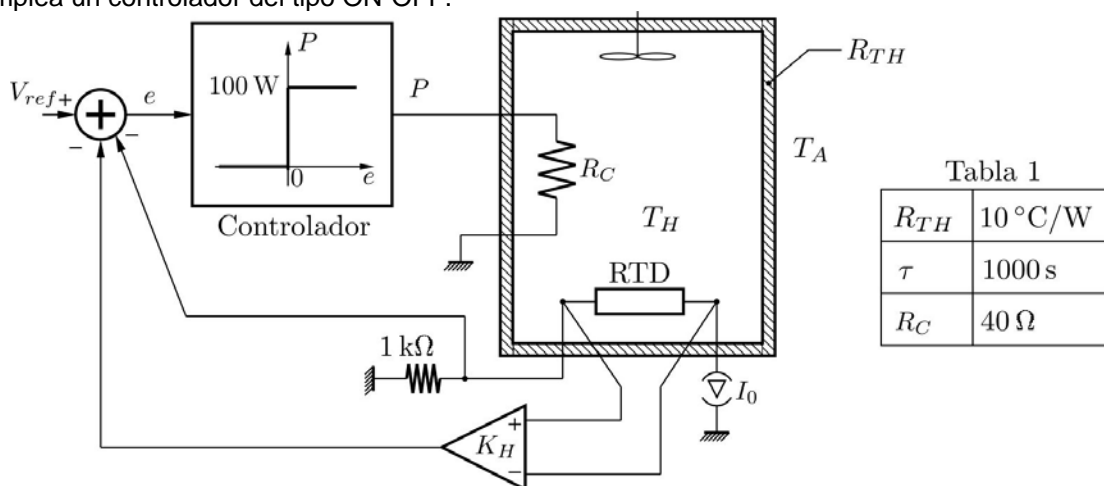


Fig. 3: Diagrama en bloques del sistema de control de temperatura

A partir del ensayo del sistema, se determinó que el ripple de temperatura en estado estacionario, ΔT_{Hpp} es de 50°C . Luego, teniendo en cuenta los datos indicados en la Tabla 1:

1) determinar el retardo de la planta.

Con el objetivo de mejorar el desempeño del sistema y eliminar el ripple en estado estacionario se modificó el controlador ON-OFF por uno del tipo continuo, tal como se muestra en la figura 4.

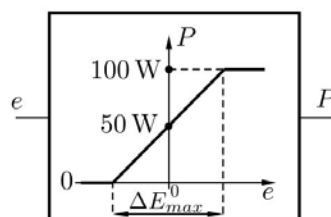


Fig. 4: Controlador continuo

La medición de la temperatura se realiza por medio de un sensor de temperatura resistivo, del tipo RTD, en particular uno del tipo Pt100 de platino, cuya variación de la resistencia con la temperatura se asume que viene dada por:

$$R_{RTD}=R_0(1+\alpha T), \text{ donde } T \text{ es la temperatura en } ^\circ\text{C}, R_0=100\Omega @ 0^\circ\text{C} \text{ y } \alpha=3.85 \times 10^{-3} [1/^\circ\text{C}].$$

El circuito de medición emplea un amplificador diferencial de ganancia $K_H = 10$, el cual sensa la tensión que se genera sobre el RTD producto de la corriente I_0 de 2.6mA. En base a lo enunciado, se requiere:

- 2) Dibujar un diagrama en bloques del sistema identificando claramente las funciones transferencias de las distintas etapas.
- 3) Ajustar el ancho de la zona proporcional, ΔE_{\max} , de modo de asegurar que el sistema siempre opere dentro de la zona lineal.
- 4) Determinar la función transferencia $GH(s)$, dibujar un diagrama de Bode y calcular el margen de fase y el ancho de banda obtenido con el ajuste propuesto en 3).
- 5) Calcular la temperatura T_H en régimen permanente para la condición $T_A=25^\circ\text{C}$ y $V_{\text{ref}}=5\text{V}$.

Problema 3

En la figura 5 se muestra un diagrama en bloques de un PLL monofásico que emplea un detector de fase basado en un multiplicador. La señal de entrada v_{IN} , con la cual se desea sincronizar, es un tono puro de frecuencia $\omega_0=2\pi 50\text{Hz}$.

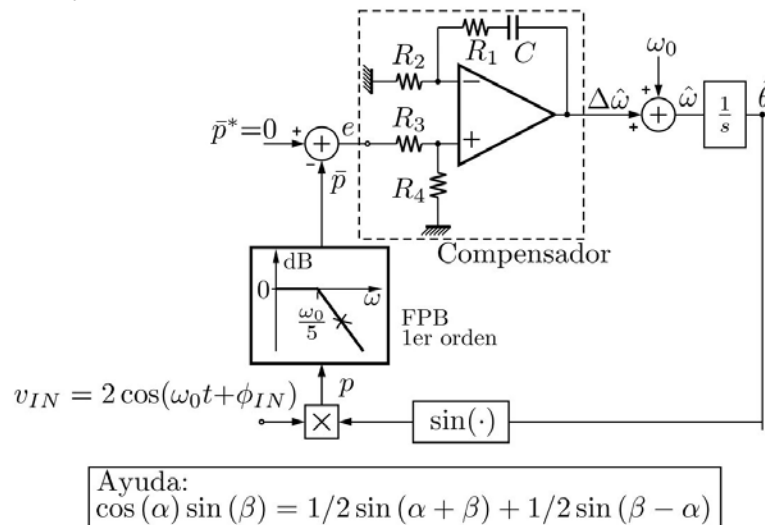


Fig. 5: Diagrama en bloques del PLL

- a) Desarrolle un modelo lineal de pequeña señal para el detector de fase, es decir considere error de fase pequeño.
- b) Dibuje un diagrama en bloques del modelo lineal del sistema, indicando claramente cada una de las funciones transferencia. Asuma que el amplificador operacional es ideal.
- c) Diseñe el compensador de modo de obtener el mejor ancho de banda posible con un margen de fase adecuado. Dibuje el diagrama de Bode indicando los parámetros más relevantes para el diseño del lazo de control.
- d) Establezca las ecuaciones de diseño para R_1, R_2, R_3, R_4 y C .
- e) Explique qué sucede con el detector de fase cuando no se cumple la condición de error de fase pequeño; es decir, analice el comportamiento no lineal del detector.